

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-235651
(43)Date of publication of application : 05.09.1995

(51)Int.Cl.

H01L 27/12
H01L 21/20
H01L 21/304
H01L 21/306
H01L 21/762
H01L 21/76

(21)Application number : 06-327503
(22)Date of filing : 28.12.1994

(71)Applicant : CANON INC
(72)Inventor : YAMAGATA KENJI
YONEHARA TAKAO

(30)Priority

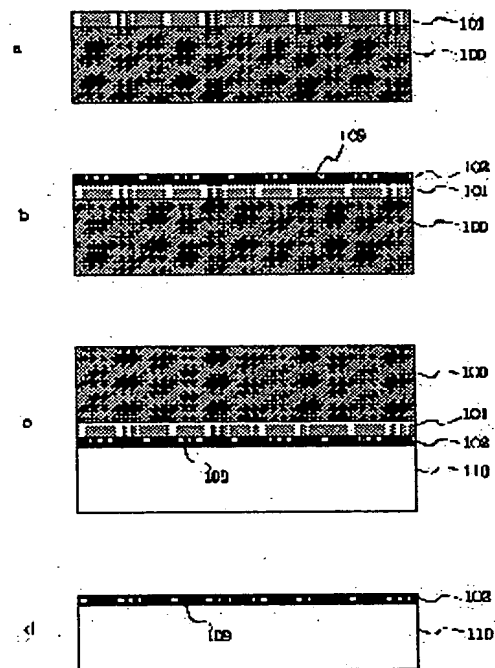
Priority number : 05337494 Priority date : 28.12.1993 Priority country : JP

(54) SEMICONDUCTOR SUBSTRATE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To protect a thin film against cracking and peeling and to prevent a substrate from warping much by a method wherein dissimilar substrates are brought into close contact with each other only by a Van der Waals force at a room temperature, and a single crystal silicon thin film is formed on the insulating substrate without performing a thermal treatment.

CONSTITUTION: The surface of a silicon substrate 100 is turned into a porous silicon 101. A single crystal silicon layer 102 is epitaxially grown on the porous silicon 101 through a CVD method. The substrate 100 which is cleaned with a mixed solution composed of hydrochloric acid/hydrogen peroxide/water, rinsed with pure water, and dried up and a molten quartz substrate 110 which is cleaned through the same method are brought into close contact with each other at a room temperature. The silicon substrate side of the joined substrate is ground. In succession, the silicon substrate 100 and the porous silicon layer 101 are subjected to an etching process. In result, an SOI substrate composed of a transparent substrate and a single crystal silicon thin film formed on it can be obtained. The SOI substrate is annealed and subjected to a heat treatment so as to enhance its joint interface in binding power. By this setup, a thin film can be protected against cracking, peeling, and warpage.



LEGAL STATUS

[Date of request for examination] 24.11.1998
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 3262470
[Date of registration] 21.12.2001
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Japanese Laid-Open Patent Publication No.
7-235651/1995 (Tokukaihei 7-235651) (Published on
September 5, 1995)

(A) Relevance to claims

The following is a translation of passages related to
claim 1 of the present invention.

(B) Translation of the relevant passages

[Claims]

[Claim 1]

A method for manufacturing a semiconductor
substrate, characterized by carrying out the following
steps in sequence:

(a) a step for anodizing a surface layer on one
surface of a single-crystal semiconductor substrate so as
to cause the surface layer to be porous, in order to form a
porous single-crystal semiconductor layer on a
non-porous single-crystal semiconductor area;

(b) a step for epitaxial-developing a non-porous
single-crystal semiconductor layer on the porous
single-crystal semiconductor layer;

(c) a step for superposing a surface of the

non-porous single-crystal semiconductor layer onto an insulating substrate, and then bonding the surface of the non-porous single-crystal semiconductor layer with the insulating substrate, virtually without carrying out a heat treatment;

(d) a step of etching the non-porous single-crystal semiconductor area, in order to remove a part of the non-porous single-crystal semiconductor area;

(e) a step of etching the non-porous single-crystal semiconductor area remaining after the step (d), in order to remove all of the non-porous single-crystal semiconductor area and cause the porous single-crystal semiconductor layer to be exposed; and

(f) a step of selectively etching the porous single-crystal semiconductor layer in order to remove the porous single-crystal semiconductor layer.

[Conventional Art]

[0010]

However, according to this method, a heat treatment is required so that a thin silicon substrate which is about 300 μ m thick has to be adopted in consideration of a thermal stress. For this reason, accidents such as cracking the substrate tend to occur during the processes of bonding and carrying the substrate, so that the

processes have to be carried out with great care. Moreover, to carry out a heat treatment with a higher temperature, a cycle of thinly grinding the substrate and carrying out a heat treatment has to be repeated. Thus, there is such a deficiency that the manufacturing speed cannot be increased when a "laminated SOI substrate" is manufactured.

[0015]

[Problem to Be Solved by the Invention]

As describe above, in the conventional "laminated SOI substrate", an insulating substrate and a silicon substrate cannot be sufficiently bonded with each other without carrying out a heat treatment. However, as described above, the aforementioned problems such as the crack and warpage of the substrate occur when a silicon substrate is directly bonded with a transparent substrate whose thermal expansion coefficient is different from that of the silicon substrate. To solve this problem, the temperature of the heat treatment has conventionally been subtly adjusted in such a manner as to keep the bonding force to be sufficient to withstand the shearing force while restrain the problems of crack and warpage. Such a subtle adjustment is, however, difficult to carry out.

[0017]

[Means to Solve the Problem and Effects]

Thus, the objective of the present invention is to form a high-quality and high-performance SOI substrate either without carrying out a heat treatment process or with simply only one heat treatment process, from a substrate manufactured by bonding, on a transparent insulating substrate, a silicon single-crystal substrate having a thermal expansion coefficient significantly different from that of the transparent insulating substrate.

[0019]

The inventors of the present invention have diligently worked on in order to achieve the above-mentioned objective. As a result, the inventors of the present invention have found that, an SOI substrate which can overcome the above-described problem can be manufactured in the following manner: A single-crystal silicon layer is epitaxial-developed on a porous silicon surface of a silicon substrate whose surface layer is caused to be porous. Then an insulating heterogeneous substrate which will be a supporting substrate is caused to closely contact with the epitaxial-developed surface at room temperatures and only by Van der Waals force, and in order to minimize the influence of the stress, the

silicon substrate is removed by wet-etching using an etching solution, without carrying out a heat treatment. Subsequently, the porous part is selectively etched, so that a single-crystal silicon thin film is formed on the insulating substrate.

[0024]

(a) A step for anodizing a surface layer on one surface of a single-crystal semiconductor substrate so as to cause the surface layer to be porous, in order to form a porous single-crystal semiconductor layer on a non-porous single-crystal semiconductor area;

(b) A step for epitaxial-developing a non-porous single-crystal semiconductor layer on the porous single-crystal semiconductor layer;

(c) A step for superposing a surface of the non-porous single-crystal semiconductor layer onto an insulating substrate, and then bonding the surface of the non-porous single-crystal semiconductor layer with the insulating substrate, virtually without carrying out a heat treatment;

(d) A step of etching the non-porous single-crystal semiconductor area, in order to remove a part of the non-porous single-crystal semiconductor area;

(e) A step of etching the non-porous single-crystal

semiconductor area remaining after the step (d), in order to remove all of the non-porous single-crystal semiconductor area and cause the porous single-crystal semiconductor layer to be exposed; and

(f) A step of selectively etching the porous single-crystal semiconductor layer in order to remove the porous single-crystal semiconductor layer.

[0027]

(a) A step for anodizing a surface layer on one surface of a single-crystal semiconductor substrate so as to cause the surface layer to be porous, in order to form a porous single-crystal semiconductor layer on a non-porous single-crystal semiconductor area;

(b) A step for epitaxial-developing a non-porous single-crystal semiconductor layer on the porous single-crystal semiconductor layer;

(c) A step for superposing a surface of the non-porous single-crystal semiconductor layer onto an insulating substrate, and then bonding the surface of the non-porous single-crystal semiconductor layer with the insulating substrate, virtually without carrying out a heat treatment;

(e) A step of etching the non-porous single-crystal semiconductor area, in order to remove all of the

non-porous single-crystal semiconductor area and cause the porous single-crystal semiconductor layer to be exposed; and

(f) A step of selectively etching the porous single-crystal semiconductor layer in order to remove the porous single-crystal semiconductor layer.

[0028]

On this occasion, it is preferable that the step (e) is carried out at not more than 100°C and in any one of an alkali solution, an organic alkali solution, and an acid solution including hydrogen fluoride and nitric acid.

[0030]

(a) A step for anodizing a surface layer on one surface of a single-crystal semiconductor substrate so as to cause the surface layer to be porous, in order to form a porous single-crystal semiconductor layer on a non-porous single-crystal semiconductor area;

(b) A step for epitaxial-developing a non-porous single-crystal semiconductor layer on the porous single-crystal semiconductor layer;

(c) A step for superposing a surface of the non-porous single-crystal semiconductor layer onto an insulating substrate, and then bonding the surface of the non-porous single-crystal semiconductor layer with the

insulating substrate, virtually without carrying out a heat treatment; and

(d) A step of etching the non-porous single-crystal semiconductor area, in order to remove a part of the non-porous single-crystal semiconductor area.

しかし、熱膨張係数の大きく違う基板同士を貼り合わせると、温度変化が起これば、両基板の熱膨張係数の違いに起因する応力が発生する。

【0007】実際に、支持体となる基板側にガラスのようなシリコン以外の絶縁体基板を用いる場合には、一枚の基板を貼り合わせた後、その界面の結合を強化なものにするための1000℃前後の熱処理工程の際に、両基板の熱膨張係数の違いから貼り合ってしまった基板が反ってしまったが、または基板が割れてしまったり、また基板がはがれてしまう場合がある。熱膨張係数がシリコンと近い材料を合成して支持基板に用いた例もあるが、そのような材料は知られていない限りでは耐熱性が悪く、結合を強めるための熱処理やデバイスを形成するためのプロセス温度に耐えられない。

【0008】これら問題を解決する「貼り合わせSOI基板」を製作した例を、同部が報告している(Extended Abstracts of the 19th International Conference on Solid State Devices and Materials, 1992 Tsutsumi, pp. 437-441, または特開平4-18110)。

【0009】この方法では、比較的小さい(300μm)シリコン基板と石英基板を貼り合わせた後、貼り合わせ基板が割断や破壊を起こさない300℃程度の第1の熱処理をまず行い、その後シリコン基板をエッチングのみで150μm程度まで薄くする。そして第2の熱処理として450℃程度のアニールを行い、面研削のせん断応力に耐える結合を得た後にグラインダーで数μmまで研削する。さらにその後には精密研削によりシリコン基板を薄層化する。

【0010】しかしこの方法では、熱処理が必須であるために熱応力を考慮して300μm厚程度の薄いシリコン基板を用いなければならない。そのため基板の貼付や搬送などの作業中に基板を割る等の事故を起こしやすいので、作業には慎重を期さねばならない。さらに、高い温度での熱処理を行なう為に基板を速く研削して、その後熱処理を行う、というサイクルを繰り返さなければならぬ。これらの理由から「貼り合わせSOI基板」では、作製速度を大きくできないという欠点を持っている。

【0011】具体的には、貼りつける半導体基板の基板厚は、機械的強度を保つために通常4インチ径のシリコン基板では500μm程度、5〜6インチ径では600μm程度が必要である。更に8インチ径となると厚さ800μm前後の厚いシリコン基板が必要になり、300μm前後の薄い基板を用いた場合、最初に貼りつける工程の取扱いが極めて困難になる。

【0012】また、他の欠点もある。それは、絶縁体基板と半導体基板の間に付着するせん断応力に起因する割れの問題である。シリコン基板を研削して薄くすることにより、支持基板とシリコン基板の貼り合わせ界面に大きなせん断応力が付く。実際、シリコン基板は数μmの薄

膜になるまでに研削されるので貼り合わせ界面にはかなりの大きなせん断応力が付く。さらに両基板の接合面では、研削の度に貼り合わせ界面の結合が弱くなってしまう。この問題を解決するために、界面の結合力が弱くならないように基板の研削による薄層化と高温の熱処理を繰り返す方法がある。しかしこの方法ではプロセスに時間がかかり大規模生産には向かない。

【0013】また別の欠点は、研削により単結晶シリコンの薄層を製作するで両方の同一性を出すために特別な装置と非常に精密な制御が必要とする。

【0014】他の方法でSOI基板を製作するため、絶縁体基板上に半導体膜を直接堆積せられれば良いが、絶縁体基板上では半導体膜がうまく結晶化せず、単結晶半導体薄膜を形成するのは不可能である。

【0015】

【発明が解決しようとしている課題】以上述べたように、従来の「貼り合わせSOI基板」では、熱処理を行わないと絶縁体基板とシリコン基板の間に十分な結合力が得られない。しかし、一方で前述したようにシリコン基板と熱膨張係数の異なる透明基板を直接貼り合わせ、熱処理すると前述した透明基板の割れや反りの問題が出る。このような問題を解決するために、従来はせん断応力に耐える程度の結合力を保ちつつ割れや反りの問題が出ない条件下で極めて熱膨張係数を調整していた。しかしこの問題は極めて難しく、温度を要するで困難である。また実際には、低い温度から高い温度へと多段階に熱処理を行なう等の複雑な工程を経なければならぬ。

このためこの方法では大規模生産のできるSOI基板を製作することはできない。このような問題を解決するために熱処理の工程なしで研削してSOI基板を得たい。さらにまた他の方法でも、高性能電子素子を製作するに足るSOI基板を生産性よく提供できる技術は、未だ達成するに至っていない。

【0016】一方、従来の堆積膜形成方法で単結晶半導体基板を製作すると、単結晶堆積膜に膜層欠陥が少なからず発生する場合がある。この場合、堆積膜が成長するにつれて膜層欠陥も大きくなってしまふ。これを図示したのが図10である。1000はシリコンなどの半導体基板であり、1002はエピタキシャル成長層であり、1008は膜層欠陥である。基板1000の表面には点欠陥、ゴミや酸化物の残りなどがある場合があり、それが膜層欠陥の原因となる。半導体単結晶層1002をエピタキシャル成長させるにつれて点欠陥、ゴミや酸化物の残りなどが原因となって、膜層欠陥が拡大がりエピタキシャル層に成長する。そのためエピタキシャル層1002の表面では膜層欠陥が大きくなってしまふ。

【0017】

【課題を解決するための手段及び作用】そこで、本発明では、透明絶縁体基板上に、これと大きく熱膨張係数の異なるシリコン単結晶基板を貼り合わせることにより、

とつての基板にし、この基板から熱処理工程を行わないか、もしくは熱処理を行なったとしても1回のみの簡略化された方法で高機能、高性能SOI基板を製作することを目指す。

【0018】また本発明の別の目的は、デバイスを作る単結晶シリコン中に膜層欠陥ができたとしても、その膜層欠陥がデバイス中に悪影響を与えない半導体基板を製作することである。

【0019】本発明者は、以上の様な課題や欠点を鑑み、鋭意努力した結果、以下の知見を得た。つまり、表面が多孔質化されたシリコン基板の多孔質シリコン面上に単結晶シリコン層をエピタキシャル成長し、次いで成長した支持基板となる絶縁体の質膜層を室温でVander Waals力のみで密着し、応力の影響を最小限に抑えるために熱処理をせずに、シリコン基板部分はエッチング溶液によるウェットエッチングで除去し、残って多孔質部分を選択的にエッチングして単結晶シリコン薄膜を絶縁体基板上に形成すれば上記の問題点を解決するSOI基板を製作することができ。

【0020】またシリコン基板部分のウェットエッチングには時間がかかるので、エッチングする代わりに、まずシリコン基板部分がまだ充分厚く基板間の界面のせん断応力が問題にならない場合は研削によってシリコン基板の一部分を除去し、その後研削によって残ったシリコン基板部分をエッチング溶液によるウェットエッチングで除去するという方法で上記の問題点を解決するSOI基板を製作することができ。

【0021】さらにまた、シリコン基板部分の一部を研削によって除去し、その後基板間の結合を強くするため唯一の熱処理を全体に行い、最初の研削で残ったシリコン基板部分を研削によって除去するという方法でも上記の問題点を解決するSOI基板を製作することができ。

【0022】さらにこの方法を使うことによって、従来の半導体単結晶堆積膜をエピタキシャルに成長させ、堆積膜が厚くなるにつれて、半導体堆積膜表面に大きく広がった膜層欠陥を対向する貼り合わせ基板の側へ転写することができ、したがって将来素子を作り込む上で重要な半導体基板の表面には膜層欠陥の成長初期段階の小さな膜層欠陥が現れないようになる。これはSOI基板の作製に限ることではなく、半導体基板上にエピタキシャル成長層を形成する半導体基板でも同じ効果が得られる。

【0023】以下に本発明の態様を詳しく説明する。本発明の方法の第1の態様は、以下の工程を順に行うことを特徴とする半導体基板の作製方法である。

【0024】a) 非多孔質単結晶半導体領域上に多孔質単結晶半導体層を形成するため、単結晶半導体基板の片方の表面を絶縁体化成長により多孔質化する工程、
b) 前記多孔質単結晶半導体層上に非多孔質単結晶半導体層をエピタキシャル成長させる工程。

10

【0040】さらに本発明では、2枚の基板を室温で貼り合わせた後、密着した基板に圧力を加えることにより、エッチング中や研削中に「剥がれ」を起こす確率を下げることが可能になった。

を[0042] (図1a) 単結晶シリコン基板100を隔絶し成した多孔質シリコン101を形成する。このとき多孔質化する厚みは、基板の片面表面層数 μm ~数十 μm でよい。また基板全体を透過化してしまわない。多孔質シリコンの形成方法としては、図6を用いて説明する。まず基板としてP型の単結晶シリコン基板を用いる。この場合、図6では示していないが、その場

[illegible]

附錄一：臺灣省各縣市人口統計表

[0035] 本発明の方法の例としての図解でウェットエツ
安定よく高歩留まりの方法の一例として、研削材を研削
チャンクのみで単結晶シリコン基板に除去するものは、研削
のみで行った場合には不可欠だった熱処理の工程
をなくすためである。ここでは、研削の工程を必要とし
ないですべてプロセス回数が少なくてすみ、研磨器材や研磨

【0037】他にも、本発明を実施するにあたって、多孔質シリコンが有する重要な2点の物理的効果を利用している。一つには多孔質シリコンのエッチング特性である。通常シリコンはフッ酸溶液では殆どエッチングされないが、シリコンを多孔質化することによってこのシリコンがフッ酸溶液で大きくエッチングされる。このフッ酸溶液の中でも特にフッ酸、過酸化水素水の混合エッチング液を用いると、多孔質は非多孔質と比べて約1.0の5乗倍ものエッチング速度が得られる。従って1.0μm前後の薄いシリコン層でも均一に腐蝕する。従って多孔質シリコンが可能になる。

上上生輝女界第一

[illegible]

【00032】また、本発明の方法においては第1から第3の階段を通して、前記非多孔質単結晶半導体領域の除去を行なう前に、前記密着した基板を加圧する工程を加えてもよい。さらに前記非多孔質単結晶半導体層の表面を酸化する工程を加えてもよい。さらに、前記多孔質を酸化する工程を加えてもよい。さらに、前記多孔質単結晶半導体層の選択リッチングを行うことと、前記酸蝕液基水蒸気の混合エッチング液を行うことと、前記酸蝕液基は SiO_2 を主成分とする光透過性酸蝕液基板により行うことが望ましい。またさらに前記単結晶半導体基板を行うこと（希望ましい）。

[illegible]

THE UNIVERSITY OF CHICAGO

63

多孔質半結晶半導体層を露出させるため、前記工程a)で残った前記多孔質半導体領域をエッチングする工程、
f) 前記多孔質半結晶半導体層を除去するため、前記多孔質半結晶層に選択的エッチングをする工程。

[0025] このとき前記多孔質半結晶半導体領域の一部を除去研削を施し前記非多孔質半導体領域の半導体層を露出させた後に、全体に熱処理を施し前記多孔質半結晶層と半導体層との界面の結合を強化する工程を加えても良い。

【0027】a) 非多孔質半結晶半導体領域上に多孔質半導体基板の片状結晶半導体を形成するため、多孔質半導体基板の片状の表面を陽極化成により多孔質化する工程、
b) 前記多孔質半結晶半導体層上に非多孔質半結晶半導体層をエピタキシャル成長させる工程、
c) 前記非多孔質半結晶半導体層の表面と絶縁体基板とを重ね合わせた後、実質的に縦処理を施すことなく両者を貼り合わせる工程、
d) 前記非多孔質半結晶半導体領域をすべて除去し前記多孔質半結晶半導体領域を露出させるため、前記非多孔質半結晶半導体層をエッチングする工程、

を直に行うことなを模倣とする手段は悪似の手段な

西醫藥劑師公會 萬名生

(7)

11

度が小さくなる。即ち孔の占める体積が大きくなる。これによってエビタキシヤル成長の条件が変わる。

【0043】(図1b) 以上のようにして形成した多孔質シリコン上に、非多孔質の単結晶シリコン102をエビタキシヤル成長させる。エビタキシヤル成長は一般的に熱CVD、減圧CVD、プラズマCVD、分子線エビタキシヤ、スパッタ法等で行う。成長する膜厚はS₂O₅層の設計値と同じくすれば良いが、好ましくは2μm以下の膜厚が良い。これは2μm以上の膜厚の単結晶シリコン膜がSiO₂を主成分とする絶縁体基板と密着している場合、これをデバイスプロセスで熱処理すると両材料の熱膨張係数の違いから貼り合わせ界面に大きな応力が発生し、シリコン膜の破壊、基板の反り、または界面での剥離等が起こってしまうからである。膜厚が2μm以下であれば応力は比較的小さいので、膜の破壊、剥離、反り等は起こりにくい。より好ましくは、0.5μm以下である。これは0.5μm以上の膜厚である、後のアニールの際に剥離、破壊等が起こらなくとも、微小な領域において結晶にスリッブラインが生じやすくなるからである。

【0044】エビタキシヤル層102の表面を熱酸化しておくのが好ましい。何故かと言えば単結晶シリコンのエビタキシヤル層を堆積させたまま状態だと、界面の原子の非結合手(ダングリングボンド)が多くなる。このため大気中で行う次の工程で直接支持基板と貼り合わせた場合、貼り合わせ界面には不純物が偏析しやすい。この不純物の偏析は薄膜デバイスの特性を不安定化させる要因になる。

【0045】尚エビタキシヤル層102には、成長界面より積層欠陥108が発生する場合がある。

【0046】(図1c) 上記成長したエビタキシヤル面或いは酸化したエビタキシヤル面を、支持基板であるSiO₂を主成分とする絶縁性基板110と貼り合わせる。この貼り合わせは、両基板を塩酸と過酸化水素水混合液、または硫酸と過酸化水素水混合液等で洗浄した後に行なわれる。即ちこの洗浄によって両基板表面を親水性に処理することができ、貼り合わせ界面の水を介してVan der Waals結合力が増大するからである。フッ酸溶液等の過水洗浄を行なった基板でも、貼り合わせ面の平坦性が良ければ貼り合わせは十分可能である。ここで絶縁性基板110はセラミックス一般は殆ど可能であり、特に光学的に透明性を重視するなら溶融石英、合成石英、高融点ガラス等の中から選ばれる。

【0047】一般的な方法であれば、次に1000℃前後の熱処理を行なうのだが、本発明ではこれを行なわない。貼り合わせ基板の結合を強めるために、ここで基板を加圧するとよい。圧力は全く任意であるが、例えば5インチ基板全面に数トン〜数十トンの圧力を加えると、エッチングや研磨工程中に基板が割れる確率は著しく減少する。加圧する時間は、数分〜1時間程度でよい。

(8)

12

あまり選択比がとれないこと、残されるべき単結晶シリコン薄膜も多少エッチングされるということで、精密に時間等の制御を必要とする必要がある。

【0051】以上の工程を行なうことによって絶縁体基板上に単結晶シリコン薄膜を得ることができる。尚多孔質シリコン上のエビタキシヤル成長時に成長中に積層欠陥101が発生した場合、この積層欠陥は貼り合わせによって、絶縁体基板110上に通常と逆方向になっ存在することになる。この後デバイスの作製プロセスに移行するときには、薄膜と基板の結合力を高めるために、800℃以上程度の熱処理を行なうのが好ましい。またはデバイスプロセスの熱工程(酸化等)が、これに代わっても問題は無い。

【0052】本発明の第1の実施態様例は、非多孔質シリコン基板の削除の工程をすべてエッチングで行う以外に上記の本発明の第2の実施態様例と同様である。

【0053】本発明の第3の実施態様例は、非多孔質シリコン基板の削除の工程を2回に分けた研削で行い1回目の削除の後、熱処理の工程を含む以外は上記の本発明の第2の実施態様例と同様である。

【0054】本発明の方法の第1の態様については、最初基板界面を断断的に削れることは単結晶シリコン部分をまず研削により一部除去し、単結晶シリコン部分が十分薄くなって、研削では剥離の危険にさらされるようになったら、単結晶シリコン部分の除去をウェットエッチングに切り替えるため、熱処理を行わずかつ高速度にSOI基板の作製を行える効果がある。

【0055】本発明の方法の第2の態様については、ウェットエッチングのみで単結晶シリコン基板を除去するので、研削の方法のみで行った場合では不可だった熱処理の工程をなくすることができ、第1の態様に比べてプロセス回数が少なくなる。それでプロセスを行うの際に部材や材料をたくさん用意しなくても良い効果がある。

【0056】本発明の方法の第3の態様については、シリコン基板部分を一度に除去するのではなく2度に分けて研削を行うので一回の熱処理をその間に行うだけでシリコン基板部分を除去することができ、だから、非多孔質シリコン基板部分のウェットエッチングをする工程を必要としないので、高速度にSOI基板の作製を行える効果がある。

【0057】

【実施例】

(実施例1) 図1及び図6を用いて本発明の第1の実施例の詳細を説明する。

【0058】(図1a) 62.5ミクロンの厚みを持った5インチP型(100)単結晶シリコン基板(0.1〜0.20cm)を用意し、これを図6aに示すような装置にセットして酸化成長を行ない、シリコン基板10の表面を20μmだけ多孔質シリコン101にした。

14

この時の溶液604は4.9%HF溶液を用い、電流密度は100mA/cm²であった。そしてこの時の多孔質化速度は8.4μm/min.であり、20μmの厚みの多孔質層は約2.5分で作られた。

【0059】(図1b) 前記多孔質シリコン101上にCVD法により、単結晶シリコン層102を0.5μmエビタキシヤル成長させた。堆積条件は以下のとおりである。

【0060】使用ガス: SiH₄/H₂

ガス流量: 0.42/140 (l/min)

温度: 750℃

圧力: 80 Torr

成長速度: 0.08μm/min.

このとき積層欠陥109が発生した。

【0061】(図1c) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純水リンスして乾燥させた後に同方法にて洗浄した5インチの溶融石英基板110と室温で密着させた。

【0062】(図1d) 上記貼り合わせ基板のシリコン基板側を、まず表面研削装置で475μm研削してシリコン基板の残り厚を約150μm(単結晶基板部分が130μm、多孔質シリコン部分が20μm、エピソードが0.5μm)とした。続いてこの基板を市販されている現像液SD-1(湖山製薬:テトラメチルアンモニウムハイドロキサイド水溶液)の原液に浸し、85〜90℃の温度で140分間保持した。その結果石英基板110は殆どエッチングされないが、シリコン基板10は約130μm全てエッチングされ、多孔質シリコン層101が約10μmエッチングされて露出した。この基板を引き続き選択エッチング溶液中に浸し、多孔質部分101のみを選択的に全てエッチングした。このとき選択エッチング溶液の組成と多孔質シリコンに対するエッチング速度は、

HF:H₂O₂ = 1:5

1.6μm/mi

n.

であった。従って10μmの多孔質部分は、約7分間で全てエッチングされた。ちなみにこのときの単結晶シリコン層102のエッチング速度は0.006μm/hourであり、殆どエッチングされずに残った。また石英基板110は、上記エッチング液でのエッチング速度が約0.5μm/min.であるので、エッチング時間中に約4μmエッチングされたことになる。石英基板の元の厚みは62.5μmだったので約62.1μmに減ったことになる。

【0063】この結果透明基板の上に厚さ0.5μmの単結晶シリコン薄膜を備えたSOI基板を得た。尚積層欠陥109は逆向きに透明基板上にできた。この基板を窒素雰囲気中、1000℃で1時間アニールし、貼り合わせ界面の結合力を高める熱処理を行なった。単結晶シリコン膜にはクラック、スリッブライン等は、アニール

(1)

15

よっては発生しなかった。
【0064】(実施例2) 図2を用いて本発明の第2の実施例の詳細を説明する。

【0065】(図2a) 300 μ mの厚みを持った抵抗率0.01 Ω ・cmの4インチP型(100)シリコン基板200 μ mを用意し、その表面を第1実施例と同様にして20 μ mだけ多孔質シリコン201とした。

【0066】(図2b) 得られた多孔質シリコン上に第1実施例と同様にエビタキシャル層202を0.5 μ mの厚みに形成した。

【0067】(図2c) 上記方法にて作成した基板をフッ酸/水の1:40混合液で洗浄し、純リンスとして乾燥させた後に同方法にて洗浄した4インチの溶融石英基板210と室温で密着させた。さらに圧着機を用いて4インチの基板全面に60トンの圧力を加え、10分間保持した。

【0068】(図2d) まず280 μ mあるシリコン基板部分200の180 μ mを表面研削装置で研削し、残りシリコン厚を約100 μ m(単結晶シリコン部分が80 μ m、多孔質部分が20 μ m、エピソードが0.5 μ m)とした。続いてフッ酸/硝酸/酢酸の1:10:10混合液でエッチングした。そして表面に多孔質シリコン201が露出したところ、多孔質シリコン201をフッ酸/過酸化水素水の1:5混合液で選択的にエッチングに切り替えた。このときフッ酸/硝酸/酢酸の単結晶シリコンに対するエッチングレートは約2 μ m/分であったので約40分で、またフッ酸/過酸化水素水の多孔質シリコンに対するエッチングレートは約1.6 μ m/分であったので約13分で多孔質層全てがエッチングされた。石英基板210は数 μ mエッチングされただけにとどまった。

【0069】(図2e) 上記工程により得られた石英基板210上の単結晶シリコン薄膜202を、設計された素子の面積、形状、配置に合わせて島状にパターンニングした。例えばチャネル長/チャネル幅が各々2 μ m/4 μ mのMOS型トランジスタを設計した位置には、ソース・ドレイン領域を含めて4 \times 10 μ m²の島を設計位置にパターンニングした。

【0070】パターンニング後に窒素雰囲気中、1000 $^{\circ}$ Cで2時間の熱処理を行い、透明基板上に厚さ0.5 μ mの単結晶シリコン薄膜を備えたSOI基板を得た。

【0071】(実施例3) 図3を用いて本発明の第3の実施例の詳細を説明する。

【0072】(図3a) 400 μ mの厚みを持った抵抗率0.01 Ω ・cmの5インチP型(100)シリコン基板300を用意し、その表面から20 μ mの厚みだけ多孔質シリコン1を形成した。

【0073】(図3b) 得られた基板の多孔質表面に第1実施例と同様にエビタキシャル層302を0.5 μ mの厚みに形成した。さらに同基板のエビタキシャル層302表面を1000 $^{\circ}$ Cの水蒸気中で0.2 μ m酸化したしてSiO₂層303を得た。この結果エビタキシャル層のシリコン単結晶部分が0.4 μ m、酸化膜部分が0.2 μ mの厚みに各々なった。

16

【0074】(図3c) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純リンスとして乾燥させた後に同方法にて洗浄した5インチの溶融石英基板310と室温で密着させた。

【0075】(図3d) 第1実施例と同様な方法で、表面研削装置でシリコン基板部分を230 μ m研削して残り150 μ mとした後、SD-1によってシリコン基板部分300を全てエッチングして、多孔質部分301を露出させた。続いて多孔質部分301はフッ酸/過酸化水素水溶液で選択的にエッチングした。

【0076】(図3e) 上記工程により得られた石英基板310上の単結晶シリコン薄膜302を、第2実施例と同様に、設計された素子の面積、形状、配置に合わせて島状にパターンニングした。

【0077】パターンニング後に素子形成の第1工程として、各々の島状領域を1000 $^{\circ}$ Cの酸素雰囲気中で0.05 μ m酸化した。従ってこの酸化工程を熱処理と兼ねることとし、結果、透明基板上に厚さ約0.4 μ mの単結晶シリコン薄膜を備えたSOI基板を得た。

【0078】(実施例4) 図4を用いて本発明の第4の実施例の詳細を説明する。

【0079】(図4a) 600 μ mの厚みを持った抵抗率0.01 Ω ・cmの5インチP型(100)シリコン基板400を用意し、その表面から20 μ mの厚みだけ多孔質シリコン1を形成した。

【0080】(図4b) 得られた基板の多孔質表面に第1実施例と同様にエビタキシャル層402を0.5 μ mの厚みに形成した。

【0081】(図4c) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純リンスとして乾燥させた後に同方法にて洗浄した5インチの溶融石英基板110と室温で密着させた。

【0082】(図4d) 表面研削装置でシリコン基板部分400を150 μ m残して研削した。ここで得られた基板を300 $^{\circ}$ Cで24時間熱処理を行なった。

【0083】(図4e) この後第1実施例と同様にSD-1により残りのシリコン基板部分400を全てエッチングした後、多孔質部分401をフッ酸/過酸化水素水溶液で選択的にエッチングした。

【0084】上記工程により、石英基板410上に単結晶シリコン薄膜を備えたSOI基板を得た。

【0085】(実施例5) 図5を用いて本発明の第5の実施例の詳細を説明する。

【0086】(図5a) 600 μ mの厚みを持った抵抗率0.01 Ω ・cmの5インチP型(100)シリコン基板500を用意し、その表面から20 μ mの厚みだけ多孔質シリコン1を形成した。

17

け多孔質層501を形成した。
【0087】(図5b) 得られた基板の多孔質表面に第1実施例と同様にエビタキシャル層502を0.5 μ mの厚みに形成した。

【0088】(図5c) エビタキシャル層502の表面を酸化し、0.1 μ mのSiO₂層503を形成した。

【0089】(図5d) 上記基板を塩酸/過酸化水素水/水の混合液で洗浄し、純リンスとして乾燥させた後に、同方法にて洗浄した5インチの溶融石英基板510と室温で密着させた。

【0090】更に密着した基板を20トンの圧力で5分間加圧した。

【0091】(図5e) 表面研削装置でシリコン基板部分500を150 μ m残して研削した。

【0092】(図5f) ここで300 $^{\circ}$ Cで10時間の熱処理を行ない、次いでSD-1を用いて第1の実施例と同様に残りのシリコン基板部分をエッチングし、シリコン基板部分全てを除去した。

【0093】後は第1実施例同様に多孔質部分501をフッ酸/過酸化水素水溶液で選択的にエッチングした。【0094】上記工程により1回の熱処理だけで石英基板510上に単結晶シリコン薄膜を備えた半導体基板を得た。

【0095】(実施例6) 図1及び図6を用いて本発明の第6の実施例の詳細を説明する。

【0096】(図1a) 625ミクロンの厚みを持った5インチP型(100)単結晶シリコン基板(0.1 \sim 0.2 Ω cm)を用意し、これを図6aに示ような装置にセットして陽極化成を行ない、シリコン基板100の表面を20 μ mだけ多孔質シリコン101にした。この時の溶液404は49%HF溶液を用い、電流密度は100mA/cm²であった。そしてこの時の多孔質化速度は8.4 μ m/min.であり、20 μ mの厚みの多孔質層は約2.5分で作られた。

【0097】(図1b) 削削多孔質シリコン101上にCVD法により、単結晶シリコン層102を0.5 μ mのエビタキシャル層成長した。堆積条件は以下のとおりである。

【0098】使用ガス: SiH₄/H₂
ガス流量: 0.62/140 (l/min)
温度: 750 $^{\circ}$ C
圧力: 80 Torr

成長速度: 0.12 μ m/min.
このとき磨削欠陥109が発生した。

【0099】(図1c) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、更に純水でリンスし、乾燥させた後に同方法にて洗浄した5インチの溶融石英基板110と室温で密着させた。

【0100】(図1d) 上記貼り合わせ基板をまず市

(10)

18

販されている現像液SD-1(旭化成工業:ネトラメチルアンモニウムハイドロキシド水溶液)の原液に投入し、85 \sim 90 $^{\circ}$ Cの温度で10時間保持した。その結果石英基板110は殆どエッチングされないが、シリコン基板100は約600 μ m全てエッチングされ、多孔質シリコン層101が露出した。この基板を引き続き選択エッチング溶液中に浸し、多孔質部分101のみを選択的に全てエッチングした。このとき選択エッチング溶液の組成と多孔質シリコンに対するエッチング速度は、HF:H₂O₂ = 1:5 1.6 μ m/min.

であった。従って20 μ mの多孔質部分は、約1.3分間で全てエッチングされた。ちなみにこのときの単結晶シリコン層102のエッチング速度は0.0006 μ m/hourであり、殆どエッチングされずに残った。また石英基板110は、上記エッチング液でのエッチング速度が約0.5 μ m/min.であるので、エッチング時間中に約7 μ mエッチングされたことになる。石英基板の元の厚みは625 μ mだったので約618 μ mに減ったことになる。

【0101】この結果透明基板上に厚さ0.5 μ mの単結晶シリコン薄膜を備えたSOI基板を得た。尚磨削欠陥109は逆向きに透明基板上にできた。この基板を窒素雰囲気中、1000 $^{\circ}$ Cで1時間アニールし、貼り合わせ界面の結合力を高める熱処理を行なった。単結晶シリコン膜にはクラック、スリップライン等は、アニールによりは発生しなかった。

【0102】(実施例7) 図2を用いて本発明の第7の実施例の詳細を説明する。

【0103】(図2a) 300 μ mの厚みを持った抵抗率0.01 Ω ・cmの4インチP型(100)シリコン基板200を用意し、その表面を第1実施例と同様にして20 μ mだけ多孔質シリコン201とした。

【0104】(図2b) 得られた多孔質層上に第1実施例と同様にエビタキシャル層202を0.5 μ mの厚みに形成した。

【0105】(図2c) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、更に純水でリンスし、乾燥させた後に同方法にて洗浄した4インチの溶融石英基板210と室温で密着させた。

【0106】(図2d) まず280 μ mあるシリコン基板部分200をフッ酸/硝酸/酢酸の1:10:10混合液でエッチングした。そして表面に多孔質シリコン層201が露出したところ、多孔質層201をフッ酸/過酸化水素水の1:5混合液で選択的にエッチングした。このときフッ酸/硝酸/酢酸の単結晶シリコンに対するエッチングレートは約2 μ m/分であったので約140分で、またフッ酸/過酸化水素水の多孔質シリコンに対するエッチングレートは約1.6 μ m/分であったので約13分で多孔質層全てがエッチングされた。石英

(11)

11

抗率0.01Ω・cmの4インチP型(100)シリコン基板800を用意し、その表面を第1実施例と同様に20μmだけ多孔質シリコン層801とした。

[0126] (図8b) 得られた多孔質表面上に第1実施例と同様にエビタキシャル層802を0.5μmの厚みに形成した。

[0127] (図8c) 上記方法にて作成した基板をフッ酸/水(1:40)混合液で洗浄し、純リン酸を乾燥させた後に同方法にて洗浄した4インチの溶融石英基板810と室温で密着させた。更に加圧機を用いて4インチの基板全面に60トンの圧力を加え、10分間保持した。

[0128] (図8d) まず280μmあるシリコン基板部分800の180μmを表面研削装置で研削し、残りシリコン層を約100μm(単結晶シリコン部分が80μm、多孔質部分が20μm、エビ部分が0.5μm)とした。続いてこの基板を300℃で10時間熱処理した。そして再び研削を行ない残りのシリコン基板部分を80μmを除去した。

[0129] (図8e) 多孔質シリコン層201が露出したところで、基板をフッ酸/過酸化水素水の1:5混合液で選択的にエッチング処理した。フッ酸/過酸化水素水の多孔質シリコンに対するエッチングレートは約1.6μm/分であったので約13分で多孔質層全てがエッチングできた。石英基板210は数μmエッチングされただけにとどまった。

[0130] 上記工程により得られた石英基板810上の単結晶シリコン層802を、設計した素子の面積、形状、配置に合わせて島状にパターンニングした。例えばチャネル長/チャネル幅が各々2μm/4μmのMOS型トランジスタを設計した位置には、ソース・ドレイン領域を含めて4×10μm²の島を設計位置にパターンニングした。

[0131] パターンニング後に酸素雰囲気中、1000℃、2時間の熱処理を行い、透明基板上に厚さ0.5μmの単結晶シリコン薄膜を備えたSOI基板を得た。

[0132] (実施例11) 図3を用いて本発明の第1実施例の詳細を説明する。

[0133] (図3a) 400μmの厚みを持った抵抗率0.01Ω・cmの5インチP型(100)シリコン基板300を用意し、その表面から20μmの厚みだけ多孔質層301を形成した。

[0134] (図3b) 得られた基板の多孔質表面に第1実施例と同様にエビタキシャル層302を0.5μmの厚みに形成した。更に同基板のエビタキシャル層302表面を1000℃の水蒸気中で0.2μm酸化してSiO₂層303を得た。この結果エビタキシャル層のシリコン単結晶部分が0.4μm、酸化膜部分が0.2μmの厚厚に各々なった。

[0135] (図3c) 上記方法にて作成した基板を

(11)

11

塩酸/過酸化水素水/水の混合液で洗浄し、純リン酸を乾燥させた後に同方法にて洗浄した5インチの溶融石英基板310と室温で密着させた。

[0136] (図3d) 第1実施例と同様な方法で、表面研削装置でシリコン基板部分を230μm研削して残りを150μmとした後、300℃、24時間の熱処理を行ない、続いて研削により残りのシリコン基板部分300を全て除去して、多孔質部分301を露出させた。続いて露出した多孔質部分301はフッ酸/過酸化水素水溶液で選択的にエッチングした。

[0137] (図3e) 上記工程により得られた石英基板310上の単結晶シリコン層302を、第2実施例と同様に、設計された素子の面積、形状、配置に合わせて島状にパターンニングした。

[0138] パターンニング後に素子形成の第1工程として、各々の島状領域を1000℃の酸素雰囲気中で0.05μm酸化した。従ってこの酸化工程を熱処理と兼ねることとし、結果、透明基板上に厚さ約0.4μmの単結晶シリコン薄膜を備えたSOI基板を得た。

[0139] (実施例12) 図9を用いて本発明の第12実施例の詳細を説明する。

[0140] (図9a) 600μmの厚みを持った抵抗率0.01Ω・cmの5インチP型(100)シリコン基板900を用意し、その表面から20μmの厚みだけ多孔質層901を形成した。

[0141] (図9b) 得られた基板の多孔質表面に第1実施例と同様にエビタキシャル層902を0.5μmの厚みに形成した。続いてエビタキシャル層902の表面を酸化し、0.1μmのSiO₂層903を形成した。

[0142] (図9c) 上記基板を塩酸/過酸化水素水/水の混合液で洗浄し、純リン酸を乾燥させた後に、同方法にて洗浄した5インチの溶融石英基板910と室温で密着させた。

[0143] さらに密着した基板を20トンの圧力で5分間加圧した。

[0144] (図9d) 表面研削装置でシリコン基板部分900を150μm残して研削した。

[0145] (図9e) ここで300℃で10時間の熱処理を行ない、続いて残りのシリコン基板部分を研削し、シリコン基板部分全てを除去した。

[0146] 後は第1実施例と同様に多孔質部分901をフッ酸/過酸化水素水溶液で選択的にエッチングした。

[0147] 上記工程により1回の熱処理だけで石英基板910上に単結晶シリコン薄膜を備えた半導体基体を得た。

[0148] 【発明の効果】 以上詳述したように、従来の「貼り合わせSOI」を複製する際には、従来熱処理が必須であった。しかし本発明を実施することにより、熱処理を行

(13)

23

ないか、或いは1回の底通熱処理を施すことで、従来の熱膨張係数の異なる基板同士の貼り合わせのように薄膜が割れたり、剥がれたり、また基板が大きく区別したりすることがなくSOI基板を形成することが可能になった。同時にエピタキシャル成長層は膜厚分布の偏りが容易であるため、本発明の貼り合わせによって得られるSOI基板のシリコン膜厚の分布も極めて良好となる。そして本方法にれば光透過性のSOIが容易に作製可能であるので、この性質を利用した機能性デバイスを設計することも可能であるし、またSOI構造の大規模集積回路を作製する目的に対しても、高価なSOSや、SIMOXの代替足り得る半導体基板を提供することができるようになった。

【図面の簡単な説明】

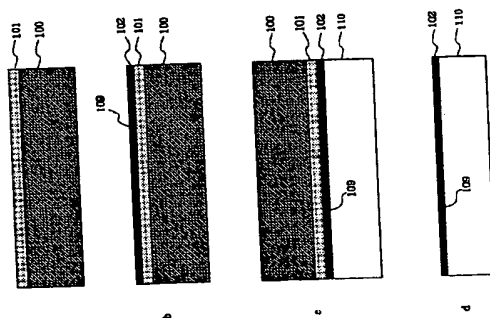
【図1】本発明の工程を説明するための模式的断面、及び本発明の第1の実施例及び第6の実施例の説明図を示す。

【図2】本発明の第2の実施例及び第7の実施例の説明図を示す。

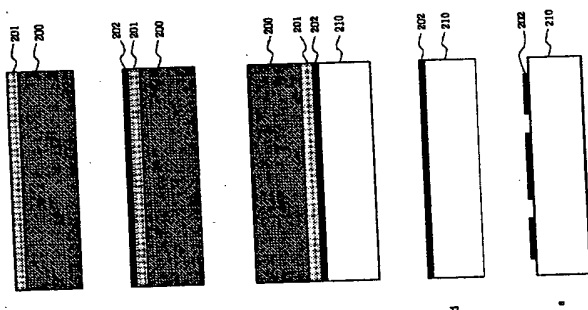
【図3】本発明の第3の実施例及び第8の実施例及び第11の実施例の説明図を示す。

【図4】本発明の第4の実施例の説明図を示す。

【図1】



【図2】



24

【図5】本発明の第5の実施例の説明図を示す。

【図6】シリコン基板を多孔質化する際の装置説明図を示す。

【図7】本発明の第9の実施例の説明図を示す。

【図8】本発明の第10の実施例の説明図を示す。

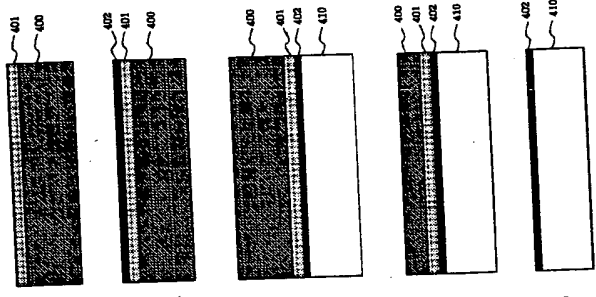
【図9】本発明の第12の実施例の説明図を示す。

【図10】縦層欠陥の成長を表す説明図である。

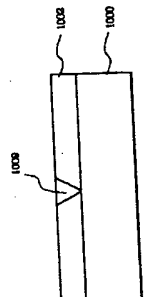
【符号の説明】

- 100、200、300、400、500、600、700、800、900 単結晶シリコン基板
- 101、201、301、401、501、701、801、901 多孔質化したシリコン基板
- 102、202、302、402、502、702、802、902、1002 エピタキシャル成長層
- 109、709、1009 縦層欠陥
- 303、505 エピ酸化膜
- 110、210、310、410、510、710、810、910 透明絶縁体基板
- 604、604' エッチング液
- 605、605' 正電極
- 606、606' 負電極
- 1000 単結晶シリコン基板もしくは絶縁体基板

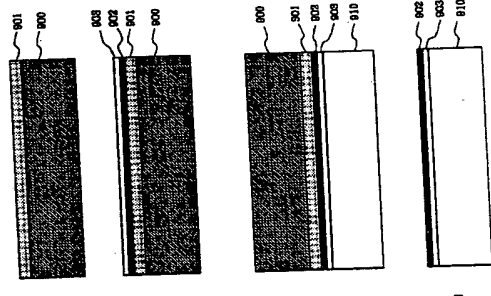
【図4】



【図10】

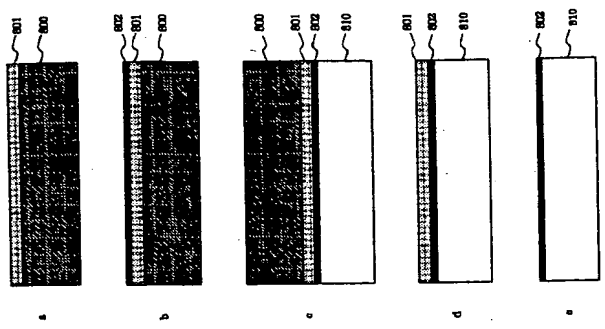


【図9】

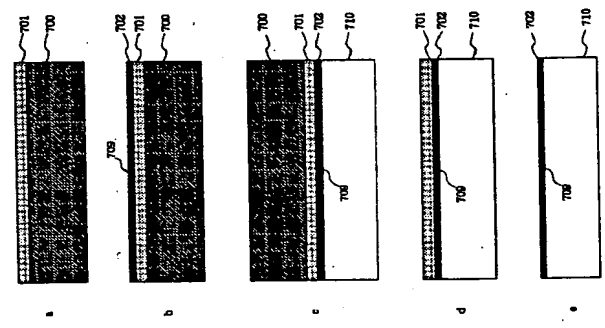


(14)

【図8】

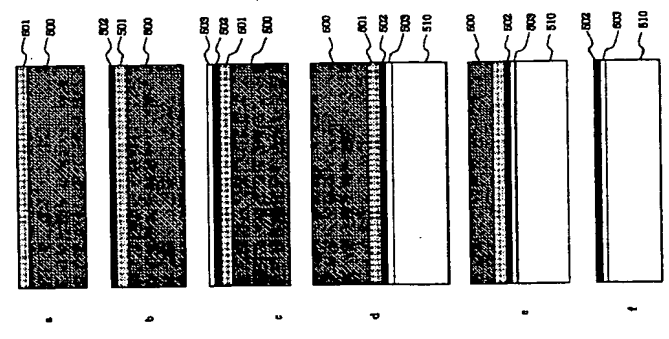


【図7】

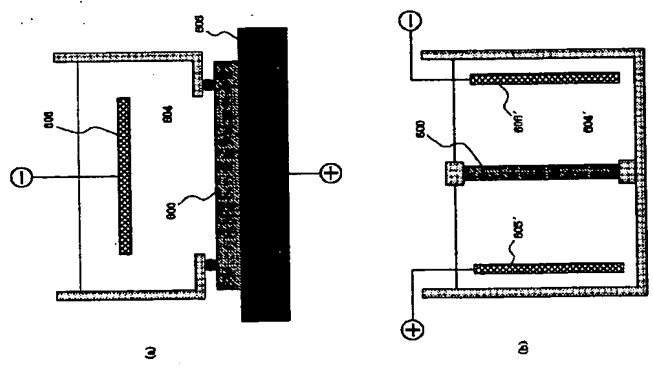


(15)

【図5】



【図6】



フロントページの続き

(51) Int. Cl.
H01L 31/304
31/78
31/78

識別記号 庁内整理番号

FI

技術表示箇所

H01L 31/78 P

THIS PAGE BLANK (USPTO)